

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256188

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 21/28  
H01L 21/3205  
H01L 29/78

(21)Application number : 09-053606

(71)Applicant : SONY CORP

(22)Date of filing : 07.03.1997

(72)Inventor : SUMI HIROBUMI

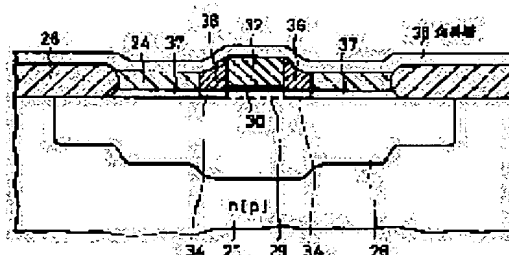
## (54) FABRICATION OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To fabricate a fine semiconductor device simply by bringing a silicon layer into contact with a part for forming a silicide layer, oxidizing a substrate using an anti-oxidation mask formed at a part other than an insulation layer forming part, forming an insulation layer and then forming a silicide layer by causing the silicon layer to react on an overlying metal layer.

**SOLUTION:** An insulation layer exposed to the outside through an opening of a mask layer, formed on an insulator 22 deposited on a semiconductor substrate 21, is etched and then the mask layer is removed before forming a silicon layer 24 on the entire surface.

Subsequently, the surface of the semiconductor substrate is thermally oxidized through an anti-oxidation mask layer to form an isolation layer 26. Subsequently, the anti-oxidation mask layer is removed and the surface of a channel forming region 29 is oxidized thermally to form a gate insulator layer 30 and then a second silicon layer is formed on the entire surface. Thereafter, a metal layer 38 of titanium is formed on the entire surface and subjected to heat treatment by RTA so that titanium in the metal layer 38 acts on a gate electrode 32 comprising first and second silicon layers to form a silicide layer.



## LEGAL STATUS

[Date of request for examination]

04.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-256188

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/28  
21/3205  
29/78

識別記号

3 0 1

F I

H 0 1 L 21/28  
21/88  
29/78

3 0 1 T  
Q  
3 0 1 R

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号

特願平9-53606

(22) 出願日

平成9年(1997) 3月7日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 角 博文

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

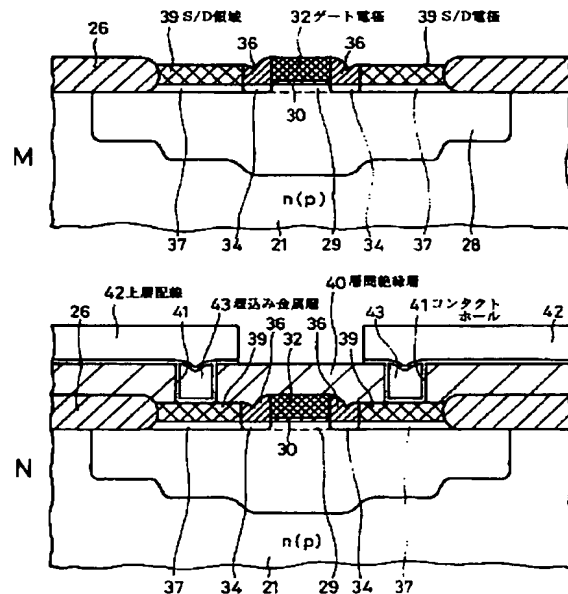
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 簡潔な方法によって信頼性の高い微細の半導体素子を有する半導体装置を製造することができるようにする。

【解決手段】 半導体素子の所定の半導体領域上にシリサイド層が形成され、他の所定部に素子分離絶縁層等の絶縁層が形成される半導体装置の製造方法であり、その半導体基板上に、第1のシリコン層を、半導体基板表面の上記シリサイド層を形成する部分に直接接触させ、かつ上記絶縁層の形成部分においては排除されたパターンに形成する工程と、上記絶縁層の形成部以外に耐酸化マスク層を形成する工程と、この耐酸化マスク層をマスクとして半導体基板に対して酸化選択的に酸化を行って上記絶縁層の形成を行う酸化処理工程と、上記耐酸化マスク層を除去する工程と、第1のシリコン層上に覆って金属層を形成する工程と、第1のシリコン層と上記金属層とを反応させてシリサイド層39を形成する熱処理工程より成る。



工 程 図 ( そ の 5 )

## 【特許請求の範囲】

【請求項1】 半導体基板に形成される半導体素子の所定の半導体領域上にシリサイド層が形成され、他の所定部に絶縁層が形成される半導体装置の製造方法において、

上記半導体基板上に、第1のシリコン層を、上記半導体基板表面の上記シリサイド層を形成する部分に直接接触させ、かつ上記絶縁層の形成部分においては排除されたパターンに形成する工程と、

上記絶縁層の形成部以外に耐酸化マスク層を形成する工程と、

該耐酸化マスク層をマスクとして上記半導体基板に対して選択的酸化を行って上記所定部に上記絶縁層の形成を行う酸化処理工程と、

上記耐酸化マスク層を除去する工程と、

上記第1のシリコン層上に覆って金属層を形成する工程と、

上記第1のシリコン層と上記金属層とを反応させてシリサイド層を形成する熱処理工程と、

上記金属層の、上記第1のシリコン層との反応がなされていない部分をエッチング除去する工程とを採って上記所定の半導体領域に少なくとも一部が接続するシリサイド層を形成することを特徴とする半導体装置の製造方法。

【請求項2】 上記半導体素子が、絶縁ゲート型電界効果トランジスタであり、

上記所定の半導体領域が、ソースないしはドレイン領域であり、

上記半導体基板表面のゲート形成部にゲート絶縁膜を形成する工程と、

該ゲート絶縁膜上にゲート電極を形成する工程とを有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 上記半導体素子が、絶縁ゲート型電界効果トランジスタであり、

上記所定の半導体領域が、ソースないしはドレイン領域であり、

上記半導体基板表面のゲート形成部にゲート絶縁膜を形成する工程と、

該ゲート絶縁膜上に第2のシリコン層を形成する工程とを有し、

上記金属層は、上記第1および第2のシリコン層上に形成されて、上記熱処理工程を行い、

上記金属層のエッチング除去工程は、上記第1および第2のシリコン層との反応がなされていない部分をエッチング除去することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 上記半導体基板上に、上記第1のシリコン層の形成前に、上記耐酸化マスク層の縁部に沿って、上記第1のシリコン層の縁部下に所要の幅をもって入り

込んで、上記耐酸化マスク層およびシリコンとエッチング性を異にする材料層を形成しておき、上記絶縁層を形成する酸化処理に先立って上記材料層をエッチング除去して上記第1のシリコン層の縁部下に空洞を形成し、その後上記絶縁層を形成する酸化処理を行うことを特徴とする請求項1に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置、特に半導体基板に形成される半導体素子の所定の半導体領域上にシリサイド層が形成され、他の所定部に素子分離絶縁層等の絶縁層が形成される半導体装置の製造方法に関わる。

## 【0002】

【従来の技術】半導体装置、例えば半導体集積回路における半導体素子例えば絶縁ゲート型電界効果トランジスタ（以下MOS-FETという）の微細化に伴い、この素子の例えばソースおよびドレイン層となる不純物拡散層は、益々シャロー化される方向にある。これは、ゲート幅、すなわちソースおよびドレイン層間の間隔が縮小化されることによって、ショートチャネル効果が増大してソースおよびドレイン間耐圧が低下することを回避することにある。例えば、ゲート幅が $0.25\mu\text{m}$ とする場合、その拡散層の深さは $0.08\mu\text{m}$ 程度以下にすることが必要となる。

【0003】ところが、このように拡散層のシャロー化を行うと、これに伴ってソースおよびドレインにおけるシート抵抗が増大する。その結果、半導体素子の応答速度が低下するという問題が発生する。例えば、いま、トランジスタにおけるゲート遅延時間を $\tau[\text{ps}]$ とすると、動作周波数 $f$ は、 $\tau[\text{ps}]$ に対し逆比例関係を有することから、動作周波数の向上が望めないことになる。これは、特にマイクロプロセッサMPU、特に高速動作が要求されるMPU等において不利となる。

【0004】そこで、その対策として、ソースおよびドレイン領域上にのみ選択的にかつ自己整合的に低抵抗のシリサイド、例えば $\text{TiSi}_2$ や、 $\text{CoSi}_2$ 等を形成して抵抗の低減化を図るようにしたいいわゆるサリサイド構造のトランジスタが目ざされている。

【0005】この従来の半導体素子例えばMOS-FETを有するサリサイド構造の半導体装置の製造方法を図8を参照して説明する。先ず図8Aに示すように、Si基板1上に、ゲート絶縁膜を構成する $\text{SiO}_2$ 膜2を表面熱酸化等によって形成し、これの上に $\text{Si}_3\text{N}_4$ 膜による酸化のマスク層3を、最終的に半導体素子を形成する部分上に選択的に形成する。この $\text{Si}_3\text{N}_4$ マスク層3を酸化マスクとしてこのマスク層3によって覆われていない部分を熱酸化するいわゆるLOCOS(Local Oxidation of Silicon)によって素子分離絶縁層4を形成する。

【0006】図8Bに示すように、素子分離絶縁層4によって囲まれた素子形成部上の $\text{Si}_3\text{N}_4$ 膜3および $\text{SiO}_2$ 膜2をエッチング除去し、表面熱酸化によって $\text{SiO}_2$ ゲート絶縁膜5を形成し、これの上に所要の幅Wを有する多結晶Siよりなるゲート電極6を被着形成する。そして、このゲート電極6および素子分離絶縁層4をイオン注入マスクとして不純物のイオン注入を行って低不純物濃度のソースないしはドレイン領域（以下低濃度S/D領域という）7を形成する。

【0007】図8Cに示すように、ゲート電極6の側面に $\text{SiO}_2$ によるサイドウォール8の形成を行い、このサイドウォール8、ゲート電極6および素子分離絶縁層4をイオン注入マスクとして不純物のイオン注入を行って高不純物濃度のソースないしはドレイン領域（以下高濃度S/D領域という）9を形成する。

【0008】図8Dに示すように、表面を弗酸処理してS/D領域9上の自然酸化膜の除去を行った後に全面的にTi、Co等のSiと反応して高融点シリサイドを形成することのできる金属層10を全面的に被着する。

【0009】その後熱処理を行ってシリサイド化処理を行う。このようにして、図8Eに示すように、それぞれSiよりなるS/D領域9上とゲート電極6上に直接的に接触形成された金属層10とSiとの反応を行ってこれら部分に選択的にシリサイド層11の形成を行う。その後、アンモニア過水等によってシリサイド化されていない、すなわち $\text{SiO}_2$ によるサイドウォール8および素子分離絶縁層4上に残された金属層10を、シリサイドをエッチングすることのないエッチング液によってエッチング除去する。このようにすると、高濃度S/D領域9上に選択的に、高濃度S/D領域9に整合して、シリサイド層11によるソースないしはドレイン電極（以下S/D電極という）12が形成される。すなわち、シリサイド構造が形成される。

【0010】その後、図示しないが、表面に層間絶縁層の形成、これに対するコンタクトホール等の穿設、このコンタクトホールへのタングステンW等の金属の埋込み、AlもしくはAl系合金等による上層配線の形成等を行うことによって目的とする例えばMOS-FETを有する半導体集積回路装置の製造がなされる。

【0011】上述したような、シリサイドをS/D領域上に自己整合的に形成したいいわゆるシリサイド構造による場合は、ソースおよびドレイン抵抗が、従来のこの構造によらない場合に比し1桁程度低めることができる。

【0012】ところが、この場合においても、素子の微細化に伴い、そのS/D領域の微細化によって、このS/D領域に、上述した方法によってシリサイド例えば $\text{TiSi}_2$ 層11を形成するとき、この $\text{TiSi}_2$ が凝集して、結果としてシート抵抗の低減化を充分図ることができなくなる。また、拡散層すなわちS/D領域のシャロー化によって、形成するシリサイド層11の薄膜化が

必要となり、これに伴って、よりシリサイドが凝縮化しやすくなり、よりシート抵抗の低減化が図れなくなる。

【0013】これに対し、浅いS/D領域上にシリサイドを形成する場合に、このS/D領域上にSi膜を選択的に形成させ、その部分にシリサイドを形成させるプロセスが提案されている（IEDM (International Electron Device Meeting) 94, pp 687-690参照）。このように、例えば $\text{TiSi}_2$ を形成させる場合、 $\text{TiSi}_2$ の形成に寄与するSiを選択Si膜との反応で形成させるようにするときは、直接シリサイドをS/D領域上に形成させる場合より、厚く $\text{TiSi}_2$ 膜を形成できるという利点を有する。また、浅い拡散層に対しても接合深さに関係なく厚い $\text{TiSi}_2$ 膜を形成できることから凝集による細線効果も生じにくく、更に耐熱性向上の効果をも有する。同様の方法で、全面的に多結晶Siを形成してシリサイド形成部のみにSiが残るようにパターニングする方法による製造方法の提案もなされていて、この場合においても上述したと同様の効果を得ることができる。

【0014】

【発明が解決しようとする課題】上述したように、Si膜を形成してシリサイドの形成を行う方法による場合は、すぐれた利点を有する。しかしながら、上述したように、Si膜を選択的に形成する方法による場合は、Si基板上に、ダスト等が付着している場合、その選択性が阻害され、不必要な部分にSi膜が形成され、リーク原因となるおそれが生じるとか、また、Siの選択成長のための特別な装置が必要となるとか、また、上述したように多結晶Siのパターニング方法による場合においても、その装置や、工程が比較的繁雑となる。本発明においては、簡潔な方法と装置を用いて微細の半導体装置を構成することができるようにした半導体装置の製造方法を提供する。

【0015】

【課題を解決するための手段】本発明は、半導体基板に形成される半導体素子の所定の半導体領域上にシリサイド層が形成され、他の所定部に素子分離絶縁層等の絶縁層が形成される半導体装置の製造方法であり、この場合に、その半導体基板上に、第1のシリコン層を、半導体基板表面の上記シリサイド層を形成する部分に直接接触させ、かつ上記絶縁層の形成部分においては排除されたパターンに形成する工程と、上記絶縁層の形成部以外に耐酸化マスク層を形成する工程と、この耐酸化マスク層をマスクとして半導体基板に対して酸化選択的に酸化を行って上記絶縁層の形成を行う酸化処理工程と、上記耐酸化マスク層を除去する工程と、第1のシリコン層上を覆って金属層を形成する工程と、第1のシリコン層と上記金属層とを反応させてシリサイド層を形成する熱処理工程と、上記金属層の、第1のシリコン層との反応がなされていない部分をエッチング除去する工程とを採って

所定の半導体領域に少なくとも一部が接続するシリサイド層を形成する。

【0016】上述の本発明製造方法によれば、シリサイド層の形成がなされるものであるが、このシリサイド層の形成の後に、シリサイド化された金属のままの状態にある金属層をエッチングするので簡単な工程で、シリサイド層の形成を特定された位置に形成することができる。

【0017】

【発明の実施の形態】本発明製造方法の実施の形態を説明する。本発明は、半導体基板に形成される半導体素子例えばMOS-FETの所定の半導体領域、例えばS/D領域上にシリサイド層が形成され、他の所定部に素子分離絶縁層のような絶縁層が形成される半導体装置の製造方法において、半導体基板上に、第1のシリコン層を、半導体基板表面のシリサイド層を形成する部分に直接接触させ、かつ絶縁層この例では素子分離絶縁層の形成部分においては排除されたパターンに形成する。そして、半導体基板表面の上述の素子分離絶縁層の形成部以外に耐酸化マスク層を形成し、この耐酸化マスク層をマスクとして半導体基板表面に対して選択的酸化を行って所定部に素子分離絶縁層の形成の酸化処理を行う。その後、耐酸化マスク層を除去し、第1のシリコン層上に覆って金属層を形成し、この第1のシリコン層と金属層とを反応させてシリサイド層を形成する熱処理を行う。このシリサイドの形成の後に、シリコン層との反応がなされていない部分の金属層をエッチング除去して所定の半導体領域、例えばS/D領域に少なくとも一部が接続するシリサイド層を形成する。

【0018】本発明製造方法の実施例を説明する。

実施例1

図1～図5を参照して説明する。この例においては、S/D領域のゲート部と隣接する部分に低濃度S/D領域が形成されるいわゆるLDD (Lightly Doped Drain)型MOS-FETを有する半導体装置を製造する場合である。この場合、まず図1Aに示すように、半導体基板21を用意する。この半導体基板21は、例えばn型もしくはp型のSi基板によって構成するとか、絶縁基板等の所要の基板上に、同様の例えばn型もしくはp型のSiシリコン層が形成された半導体基板によって構成することができる。この半導体基板21の1主面を例えば熱酸化してSiO<sub>2</sub>による絶縁膜22を形成する。この絶縁膜22の形成は、例えば4s1mの流量をもってO<sub>2</sub>を供給し、800℃の加熱によって5nmの厚さに形成する。

【0019】図1Bに示すように、絶縁膜22上に、例えばフォトレジストよりなるエッチングマスク層23を、フォトリソグラフィによって形成する。このフォトリソグラフィにおける露光パターンは、後述する素子分離絶縁層の形成、すなわちLOCOS工程で形成する耐酸化

マスク層のパターンを形成する際に用いる露光マスクによる露光パターンとすることによって、耐酸化マスク層のパターンに対応する開口23Wを形成する。そして、このマスク層23をエッチングマスクとして、その開口23Wを通じて外部に露呈する絶縁膜22を弗酸によってエッチングする。

【0020】図1Cに示すように、エッチングマスク層23を除去し、全面的に多結晶Si、あるいは非晶質Si、または単結晶Siによる第1のシリコン層24を成膜する。この第1のシリコン層24は、例えばSiH<sub>4</sub>、He、N<sub>2</sub>の各ガスをそれぞれ100sccm、400sccm、200sccmをもって送り、圧力70Pa、温度610℃でCVD (化学的気相成長)法によって厚さ50nmの非晶質Siによって形成することができる。図示の例では、上述したように、SiO<sub>2</sub>絶縁膜22の形成を行った場合であるが、この絶縁膜22の形成は省略することもできる。

【0021】図1Dに示すように、シリコン層24にフォトリソグラフィを用いた例えばRIE (反応性イオンエッチング)によるドライエッチングによるパターンエッチングを行って、ゲート部とその両側の低濃度S/D領域の形成部に相当する部分に開口24Wを穿設する。このドライエッチングは、例えばC<sub>2</sub>Cl<sub>3</sub>F<sub>3</sub>とSF<sub>6</sub>とを、それぞれ60sccmと10sccmとの流量をもって供給して、圧力1.3Pa、マイクロ波パワー850W、RF (高周波)パワー150Wによって行うことができる。

【0022】図1Eに示すように、素子分離絶縁層の形成部に開口25Wを有する例えばSiNによる酸化を阻止することのできる耐酸化マスク層25を形成する。この耐酸化マスク層25は、例えばSiH<sub>2</sub>Cl<sub>2</sub>、NH<sub>3</sub>、N<sub>2</sub>をそれぞれ50sccm、200sccm、200sccmをもって送り込み、圧力70Pa、温度760℃で膜厚100nmに成膜し、その後、このSiN膜をフォトリソグラフィを用いてドライエッチングによるパターンエッチングを行って開口25Wを形成する。このドライエッチングは、例えばCHF<sub>3</sub>とO<sub>2</sub>とをそれぞれ75sccmと8sccmをもって供給して圧力6.6Pa、マイクロ波パワー1350W、RFパワー150WによるRIEによって行うことができる。

【0023】その後、図2Fに示すように、耐酸化マスク層25を酸化マスクとして半導体基板の表面を熱酸化して素子分離絶縁層26を形成するいわゆるLOCOS酸化を、例えばO<sub>2</sub>ガスを4s1mをもって供給し、950℃の加熱によって膜厚300nmに形成する。

【0024】図2Gに示すように、耐酸化マスク層25の除去を、例えばりん酸に40分間程度浸漬することによって行う。

【0025】そして、共通の半導体基板21に、nチャネルとpチャネルの各MOS-FETによる例えばCM

OSを形成する場合においては、一方の導電型のMOS-FETの形成部に開口27Wを穿設した例えばフォトレジスト層によるイオン注入マスク層27をフォトリソグラフィによって形成する。このイオン注入マスク層27の開口27Wを通じて、第1導電型例えばp型のウェル領域28を形成するイオン注入を行う。例えばB（ボロン）を、250keVで $5 \times 10^{12}/\text{cm}^2$ のドーズ量で行う。そして、更に図示しないが必要に応じて、リーク防止、チャネルストップ等の目的をもって、同様のイオン注入マスク層27の開口27Wを通じて例えばBを、70keVで $3 \times 10^{12}/\text{cm}^2$ のドーズ量のイオン注入を行う。また、更に表面濃度を調整してMOS-FETのしきい値電圧 $V_{th}$ を選定するためのイオン注入を行ってチャネル形成領域29を、シリコン層24の開口24Wを通じて形成する。このイオン注入は、例えばBを、20keVで $1.4 \times 10^{12}/\text{cm}^2$ のドーズ量でイオン注入する。

【0026】その後、例えばフォトレジストによるイオン注入マスク層27を除去し、図示しないが、他方の導電型のMOS-FETの形成部に開口穿設したフォトレジスト層によるイオン注入マスク層27をフォトリソグラフィによって形成し、他方の導電型例えばn型のウェル領域を形成するイオン注入を行う。このイオン注入は、例えばP（りん）を、400keVで $5 \times 10^{12}/\text{cm}^2$ のドーズ量で行う。そして、更に図示しないが必要に応じて、リーク防止、チャネルストップ等の目的をもって、同様のイオン注入マスク層の開口を通じて例えばAsを、270keVで $3 \times 10^{12}/\text{cm}^2$ のドーズ量でイオン注入する。また、更に表面濃度を調整してMOS-FETのしきい値電圧 $V_{th}$ を選定するためのイオン注入を行う。このイオン注入は、例えばBを、20keVで $4.8 \times 10^{12}/\text{cm}^2$ のドーズ量でイオン注入する。

【0027】図2Hに示すように、Si半導体基板21を、例えば $\text{O}_2$ ガスを4slmの流量をもって供給し、800℃の加熱を行って外部に露呈するチャネル形成領域29の表面を熱酸化して厚さ例えば5nmのゲート絶縁膜30を形成し、全面的に例えば多結晶Siまたは非晶質Siあるいは単結晶Siによる第2のシリコン層31を形成する。例えば $\text{SiH}_4$ 、He、 $\text{N}_2$ の各ガスをそれぞれ100sccm、400sccm、200sccmをもって送り、圧力70Pa、温度610℃でCVDによって多結晶Siを厚さ200nmに成膜することによって形成する。

【0028】図3Iに示すように、フォトリソグラフィによるドライエッチングによって、シリコン層31とこれの下にゲート絶縁膜30をパターンエッチングしてシリコン層31の一部からなるゲート電極32を区画形成し、ゲート部の形成を行い、こゲート電極32を挟んでその両側に窓33を形成する。このドライエッチングは、例えば $\text{C}_2\text{Cl}_2$ 、 $\text{F}_3$ と $\text{SF}_6$ とを、それぞれ60

sccmと10sccmとの流量をもって供給して、圧力1.3Pa、マイクロ波パワー850W、RFパワー150Wによって行うことができる。

そして、窓33を通じてイオン注入によって低濃度のS/D領域34を形成する。このイオン注入は、nチャネルMOS-FETにおいては、例えばAsイオンを25keVで $2.5 \times 10^{12}/\text{cm}^2$ のドーズ量でイオン注入し、pチャネルMOS-FETにおいては、例えば $\text{BF}_2$ イオンを20keVで $1.25 \times 10^{12}/\text{cm}^2$ のドーズ量でイオン注入して形成する。

【0029】次に、弗酸処理による低濃度S/D領域32の表面清浄化を行う。その後、ゲート電極32の側面にサイドウォールを形成する。このために、まず図3Jに示すように、少なくともゲート電極33の側面を覆って全面的に、例えば $\text{SiH}_4$ と $\text{O}_2$ とをそれぞれ0.03slmと0.54slmの流量をもって供給し、400℃の加熱下で圧力10.2PaによるCVD法によって厚さ150nmに $\text{SiO}_2$ 絶縁層35を形成する。

【0030】図4Kに示すように、絶縁層35に対し、全面的に異方性ドライエッチングによるエッチバックを行ってゲート電極33の側面に、絶縁層33の一部によるサイドウォール36を形成する。このエッチングは、例えば $\text{C}_4\text{F}_8$ を、50sccmの流量をもって供給して、圧力2Pa、RFパワー1200Wによって行うことができる。その後、例えば800℃、10分間の酸素雰囲気中熱処理を行って、ストレスの緩和を行う。次に、ゲート電極32、サイドウォール36、素子分離絶縁層26をイオン注入マスクとして、イオン注入を行って、高濃度のS/D領域37を形成する。このS/D領域37の形成は、例えばnチャネルMOS-FETにおいては、例えばAsイオンを60keVで $3 \times 10^{15}/\text{cm}^2$ のドーズ量でイオン注入し、pチャネルMOS-FETにおいては、例えば $\text{BF}_2$ のイオンを40keVで $3 \times 10^{15}/\text{cm}^2$ のドーズ量でイオン注入して形成する。その後、活性化熱処理例えば $\text{N}_2$ 雰囲気中で、800℃で10分間、更に1000℃10秒の熱処理を行う。このようにして、各低濃度および高濃度S/D領域34および37によってソース/ドレイン領域を形成する。

【0031】その後、表面を弗酸処理して表面の清浄化を行って後、図4Lに示すように、Siと反応してシリサイドを形成する金属例えばTiによる金属層38を全面的に例えばスパッタリングによって成膜する。この成膜は、例えばパワー0.5kW、成膜温度150℃、Arを100sccmで供給し、圧力0.47Paで厚さ30nmに成膜することができる。次に、 $\text{N}_2$ を5slmで供給し、例えばハロゲンランプを用いた650℃、30秒間のいわゆるRTA（Thermal Rapid Anneal）による第1の熱処理を行って金属層38のTiと、それぞれ第1のシリコン層24と、第2のシリコン層31より

なるゲート電極32とを反応させて $TiSi_2$ のシリサイドを形成する。その後、アンモニア過水に浸漬して未反応のTiすなわちシリサイド化されずに残されたTiを除去する。その後、例えば800℃の第2の熱処理を行って安定した $TiSi_2$ を形成する。このようにすることによって図5Mに示すように、ゲート電極32と、シリコン層24および或る場合はこれの下の高濃度S/D領域37表面に至る部分に選択的に $TiSi_2$ によるシリサイド層が形成されてこれによって低抵抗化されたゲート電極32と、S/D領域37に対してオーミックに接続されたS/D電極39が形成される。このようにしてシリサイド層がS/D領域と整合して形成されたサリサイド構造によるMOS-FETの形成がなされる。

【0032】図5Nに示すように、全面的に層間絶縁層40を形成する。この層間絶縁層40は、 $SiO_2$ 層もしくは $SiN$ 層と、BPSG（ボロン・りん・シリケートガラス）層との積層によって形成できる。 $SiO_2$ 層の形成は、例えば $SiH_4$ と $O_2$ とをそれぞれ0.03slmと0.54slmで供給し、400℃で圧力10.2Paの条件をもって膜厚100nmに形成する。 $SiN$ の形成は、低圧CVD法によるいわゆるLP- $SiN$ によって形成する。すなわち、例えば $SiH_2Cl_2$ と $NH_3$ と $N_2$ の各ガスをそれぞれ0.05slm、0.2slm、0.2slmの流量で供給し、圧力70Pa、温度760℃で膜厚50nmをもって形成する。BPSG層は、例えば $O_3$ -TEOS（テトラ・エチル・オルソ・シリケート）による。例えばTEOSを50sccmで供給して基板温度720℃、圧力40Paで、膜厚500nmに成膜する。

【0033】このようにして形成された層間絶縁層40に、フォトリソグラフィを用いたドライエッチングによって配線のコンタクトホール41を形成する。図においては、各S/D電極39上にコンタクトホール41を穿設してこのコンタクトホール41を通じて上層配線42をS/D電極39にコンタクトするようにした場合である。このコンタクトホール41の穿設は、例えば $CF_4$ を50sccmで供給し、RFパワーを1200W、圧力2Paとすることによって形成することができる。更にこの場合、コンタクトホールの位置ずれ（フォトリソグラフィにおける露光マスクの位置ずれ）を補償するイオン注入を行うことができる。このイオン注入は、例えばnチャネルMOS-FETの形成部においては、Asイオンを50keVで $3 \times 10^{15}/cm^2$ のドーズ量でイオン注入し、pチャネルMOS-FETの形成部においては、例えば $BF_3$ イオンを50keVで $3 \times 10^{15}/cm^2$ のドーズ量でイオン注入する。その後、 $N_2$ 雰囲気中で850℃で30秒の活性化熱処理を行う。

【0034】そして、所要のパターンの上層配線42を層間絶縁層40に形成したコンタクトホール41を通じて所要の下層配線、図示の例では各S/D電極39にオ

ーミックコンタクトして形成する。このコンタクトを良好に行うために、コンタクトホール41内に埋込み金属層43の形成を行う。この埋込み金属層43は、例えばまずTi層を、パワー8kWで、Arを100sccmで供給し、圧力0.47Paで、膜厚10nmにスパッタリングし、これの上にTiN層を、パワー5kWで、Arと $N_2$ とをそれぞれ40sccmと20sccmとをもって供給する雰囲気中で、圧力0.47Paで、膜厚70nmにスパッタリングすることによって、TiN/Ti構造の下地層を形成する。そして、更にこれの上に、W（タングステン）を、Ar、 $N_2$ 、 $H_2$ 、 $WF_6$ を、それぞれ2200sccm、300sccm、500sccm、75sccmの割合をもって供給し、温度450℃、圧力1064Paで膜厚400nmに成膜することによって形成する。このようにして形成した金属層を、例えば $SF_6$ を50sccmで流し、RFパワー150Wで、圧力1.33Paをもってエッチバックして、コンタクトホール41内の埋込み金属層43のみを残して層間絶縁層40の上面に形成された部分の金属層を除去することによって、コンタクトホール41内のみ埋込み金属層43が形成された構造とする。その後、埋込み金属層43を有するコンタクトホール41上に跨がって上層配線42を所定のパターンに形成する。この上層配線42の形成は、例えば全面的にTiの下地層とAlを形成してこれを所定のパターンにフォトリソグラフィによるパターンエッチングによって形成することができる。Ti下地層の形成は、例えばパワー4kW、成膜温度150℃、Arを100sccmで供給し、圧力0.47Paによるスパッタリングによって厚さ30nmに成膜することができる。Al層の形成は、例えばパワー22.5kW、成膜温度150℃、Arを50sccmで供給し、圧力0.47Paによるスパッタリングによって厚さ0.5μmに成膜する。そして、このAl/Tiの金属層を、フォトリソグラフィを用いたドライエッチングによるパターンエッチングによって所要のパターンに形成する。この場合のドライエッチングは、例えば $BCl_3$ と $Cl_2$ とをそれぞれ60sccmと90sccmとをもって供給し、マイクロ波パワー1000W、RFパワー50Wで、圧力0.016Paによることができる。

【0035】このようにして、シリサイド層によるゲート電極およびS/D電極がそれぞれゲート部およびS/D領域上に整合して形成されたサリサイド構造による目的とするMOS-FETによる半導体素子が形成された半導体装置が得られる。

【0036】このようにして形成された半導体装置は、そのシリサイド電極によって低抵抗化がはかられることによって高速動作がなされる。また、上述の実施例では、図4Kの工程で説明したように、酸素雰囲気中での熱処理を行ってストレスの緩和を行ったことにより、結



晶欠陥の発生を回避でき接合リークの発生が回避された信頼性の高い半導体装置を構成できる。

【0037】実施例1においては、シリサイド層を形成する金属層38が、Tiである場合であるが、この金属層38はTiに限られるものではない。

【0038】〔実施例2〕この実施例2においては、金属層38が実施例1における金属層38と異なる構成としたものであるが、そのほかは、実施例1におけると同様の方法によった。すなわち、この実施例においても、図1A～図4Kで説明したと同様の工程を経る。そして、図4Lにおける金属層38の形成を、実施例1で説明したと同様に、表面を弗酸処理して清浄化するが、その後のSiと反応してシリサイドを形成する金属38として、Co層を例えばパワー0.5kW、成膜温度150℃、Arを100sccmで供給し、圧力0.47Paで厚さ30nmにスパッタリングすることによって形成する。その後、第1の熱処理を行う。この場合の熱処理は、例えばN<sub>2</sub>ガスを5slmで供給し、ハロゲンランプを用いた550℃、30秒間のRTAによって行う。この熱処理によって金属層38のCoと、それぞれ第1のシリコン層24と、第2のシリコン層31よりなるゲート電極32とを反応させてCoSi<sub>2</sub>のシリサイドを形成する。その後、硫酸過水に浸漬して未反応のCoすなわちシリサイド化されずに残されたTiを、図5Mに示すように除去する。その後、N<sub>2</sub>ガスを5slmで供給し、ハロゲンランプを用いた700℃、30秒間のRTAによる第2の熱処理を行って安定したCoSi<sub>2</sub>を形成する。このシリサイド層の形成を行って後は、実施例1と同様の工程および方法によって半導体装置を製造する。

【0039】実施例2においては、金属層38をCoによって形成した場合であるが、この金属層38を、Co層の上もしくは下にTi層を形成したCo/TiもしくはTi/Coの2層構造とするとか、Co層上にTiNを形成したTiN/Coの2層構造とすることもできる。

【0040】また、上述した実施例においては、図1A～Cに示すように、第1のシリコン層の形成前にSiO<sub>2</sub>による絶縁膜22の形成を行った場合であるが、この絶縁膜22の形成を省略することもできる。

【0041】上述した例においては、ストレス緩和の熱処理を行って、接合リークの改善を図った場合であるが、更に効果的にストレスの緩和を行う方法を探ることができる。次に、この場合の実施例を説明する。

【0042】すなわち、この実施例では、図7Fにその断面図を示すように、上述の第1のシリコン層24の形成前に、耐酸化マスク層25の縁部に沿って、第1のシリコン層24の縁部下に所要の幅をもって入り込んで、耐酸化マスク層25およびシリコンとエッチング性を異にする材料層50を形成しておき、絶縁層すなわち素子

分離絶縁層を形成する酸化処理に先立って材料層50をエッチング除去して図7Gに示すように第1のシリコン層24の縁部下に空洞（キャビティ）を形成し、その後酸化処理を行って素子分離絶縁層の形成を行う。

【0043】この方法による実施例を説明する。

〔実施例3〕図6および図7を参照して説明する。この実施例3においては、上述したように、材料層50の形成を行うものであるが、この材料層50は、実施例1で説明したSiO<sub>2</sub>絶縁膜22によって構成することができることから、この実施例3においても、図6A～Dに示すように、実質的には実施例1の図1A～Dで説明したと同様の工程を探ることができる。したがって、図6A～Dにおいて、図1A～Dに対応する部分には同一符号を付して重複説明を省略する。そして、この実施例3においては、図7Eに示すように、第1のシリコン層24の開口24W内を含んで全面的に、実施例1で説明したと同様の耐酸化マスク層25を形成した後、図7Fに示すように、フォトリソグラフィによるSiN耐酸化マスク層25のパターン化と同時にその輪郭パターンと同一輪郭パターンをもって、下層の第1のシリコン層24をパターン化する。このパターン化のエッチングは、例えばCHF<sub>3</sub>とO<sub>2</sub>とをそれぞれ75sccmと8sccmをもって供給して圧力6.6Pa、マイクロ波パワー1350W、RFパワー150WによるRIEによって行うことができる。

【0044】その後、本実施例においては、図7Gに示すように、SiO<sub>2</sub>材料層50を弗酸処理によって除去して、第1のシリコン層24の縁部下に、この材料層50の除去によって空洞51を形成する。

【0045】その後、図7Hに示すように、例えば多結晶Si、非晶質Si、単結晶Siによる半導体層52を空洞51内を埋込んで形成する。例えばSiH<sub>4</sub>、H<sub>2</sub>e、N<sub>2</sub>の各ガスをそれぞれ100sccm、400sccm、200sccmをもって送り、圧力70Pa、温度610℃でCVD法によって厚さ50nmの非晶質Siによる半導体層52を形成する。このようにすると、この非晶質Siによる半導体層52は、空洞51内を埋込んで形成される。

【0046】その後、実施例1における図2Fで説明したと同様の方法によって耐酸化マスク層25を酸化マスクとして半導体基板の表面を熱酸化して素子分離絶縁層26を形成するいわゆるLOCOS酸化を行う。この場合、素子分離絶縁層26の縁部には、予め空洞51が形成され、これに半導体層52を形成したことから、この縁部におけるストレスの発生が効果的に回避される。

【0047】その後は、実施例1の図2G～図5Nで説明したと同様の工程を探ることによって実施例1と同様の半導体装置を得ることができる。すなわち、この実施例3においても、図4Kの工程を経ることによって、すなわち酸素雰囲気中での熱処理を行ってストレスの緩和

を行うことにより、更に、図7GおよびHの空洞51の形成および半導体層52の形成によって、素子分離絶縁層26の縁部におけるストレスの発生を効果的に回避できたことによって、結晶欠陥の発生を回避でき接合リークの発生が回避された信頼性の高い半導体装置を構成できる。

【0048】また、上述の本発明製造方法によれば、シリサイド層の形成がなされるものであるが、このシリサイド層の形成の後に、シリサイド化された金属のままの状態にある金属層をエッチングするので簡単な工程で、シリサイド層の形成を特定された位置に形成することができる。

【0049】尚、上述した例では、電極39、32を形成するシリサイドを構成する金属層38が、Ti、Co、あるいはTiとCoもしくはTiNとCoの積層構造とした場合であるが、この金属層としては、そのほかシリコンと反応して低抵抗シリサイドを構成することのできるNi、Pt、Au、Cu、Zr、Hf、Pd、W、Mo、Ta、更にTiN/Tiの多層構造を用いることができる。そして、これによって、NiSi、Ni<sub>2</sub>Si、NiSi<sub>2</sub>、PtSi、Pt<sub>2</sub>Si、CuSi<sub>2</sub>、ZrSi<sub>2</sub>、AuSi<sub>2</sub>、HfSi<sub>2</sub>、PdSi<sub>2</sub>、Pd<sub>2</sub>Si、PdSi、Pd<sub>4</sub>Si、Pd<sub>3</sub>Si、WSi<sub>2</sub>、MoSi<sub>2</sub>、TaSi<sub>2</sub>等のシリサイド層を形成することができる。

【0050】また、上述した例では、半導体素子としてMOS-FETを形成する場合について説明したがこの例に限られるものではなく、種々の半導体装置の製造方法に本発明を適用することができる。

【0051】

【発明の効果】上述した本発明製造方法によれば、特段の製造技術を必要とするものではなく、従来の製造技術によって、したがって、簡潔な工程によって容易に、低コストをもって、半導体素子の微細化によっても、信頼性が高く、高速性を有する半導体装置を製造することができるものである。

#### 【図面の簡単な説明】

【図1】本発明による半導体装置の製造方法の一例の工程図(その1)である。A～Dは、それぞれその各工程の断面図である。

【図2】本発明による半導体装置の製造方法の一例の工程図(その2)である。F～Hは、それぞれその各工程の断面図である。

【図3】本発明による半導体装置の製造方法の一例の工程図(その3)である。IおよびJは、それぞれその各工程の断面図である。

【図4】本発明による半導体装置の製造方法の一例の工程図(その4)である。KおよびLは、それぞれその各工程の断面図である。

【図5】本発明による半導体装置の製造方法の一例の工程図(その5)である。MおよびNは、それぞれその各工程の断面図である。

【図6】本発明による半導体装置の製造方法の他の一例の工程図(その1)である。A～Dは、それぞれその各工程の断面図である。

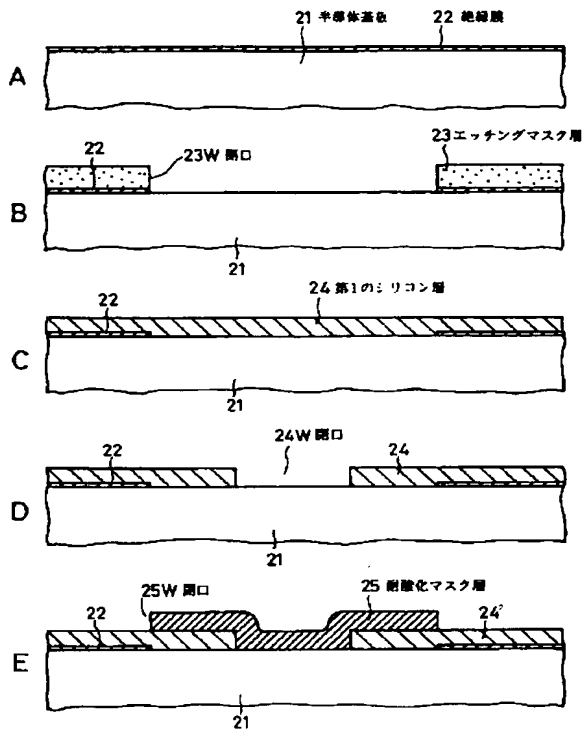
【図7】本発明による半導体装置の製造方法の他の一例の工程図(その2)である。E～Hは、それぞれその各工程の断面図である。

【図8】従来の半導体装置の製造方法の工程図である。A～Eは、それぞれその各工程の断面図である。

#### 【符号の説明】

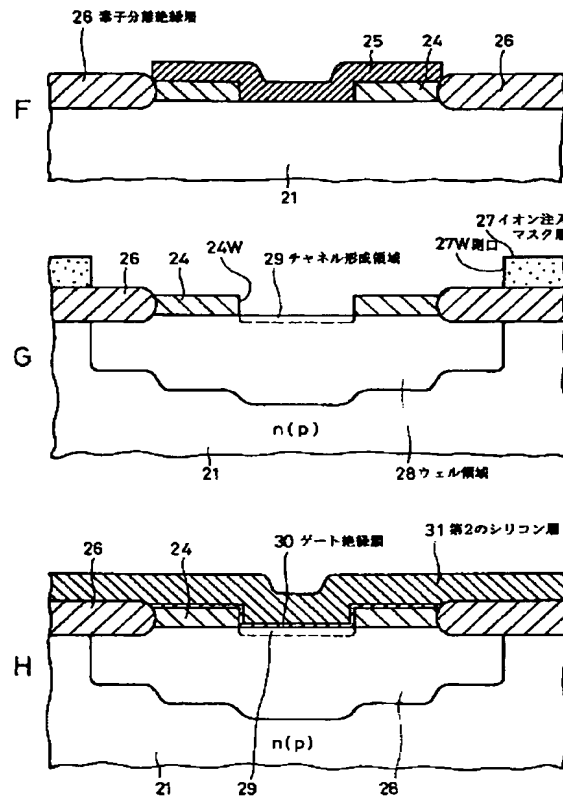
21 半導体基板、22 絶縁膜、23 エッチングマスク、24 第1のシリコン層、25 耐酸化マスク層、26 素子分離絶縁層、27 イオン注入マスク層、28 ウエル領域、29 チャネル形成領域、30 ゲート絶縁膜、31 第2のシリコン層、32 ゲート電極、34 低濃度S/D領域、35 絶縁層、36 サイドウォール、37 高濃度S/D領域、38 金属層、39 S/D電極、40 層間絶縁層、41 コンタクトホール、42 上層配線、43 埋込み金属層、50 材料層、51 空洞、52 半導体層

【図1】



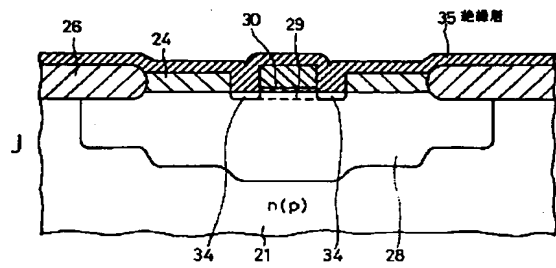
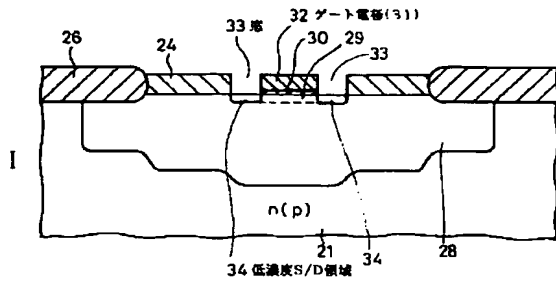
工程図(その1)

【図2】



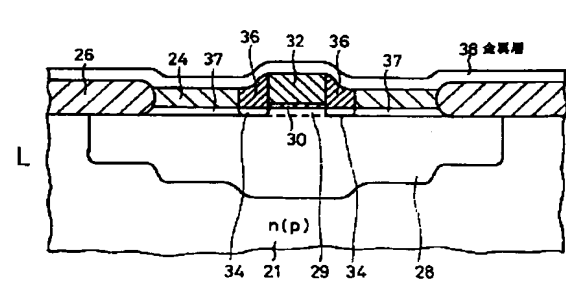
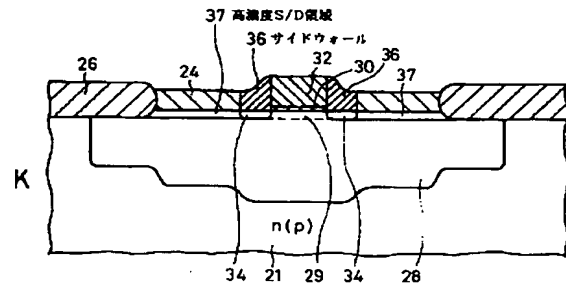
工程図(その2)

【図3】



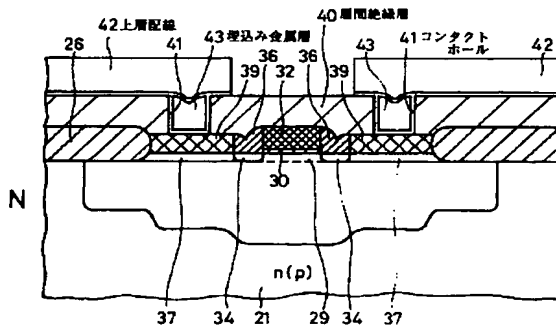
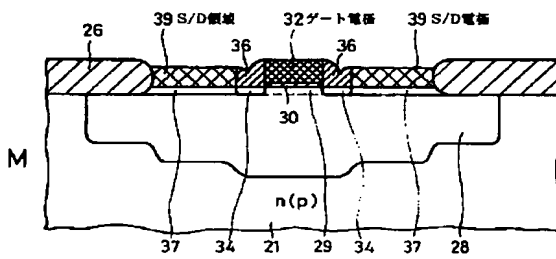
工程図(その3)

【図4】



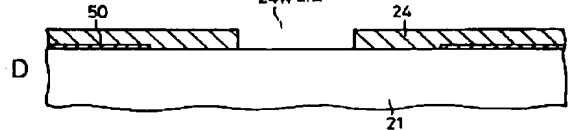
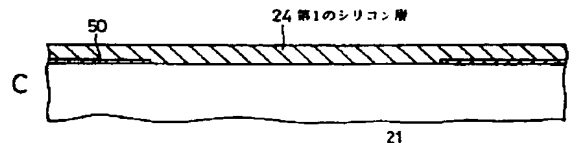
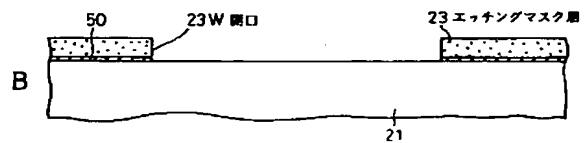
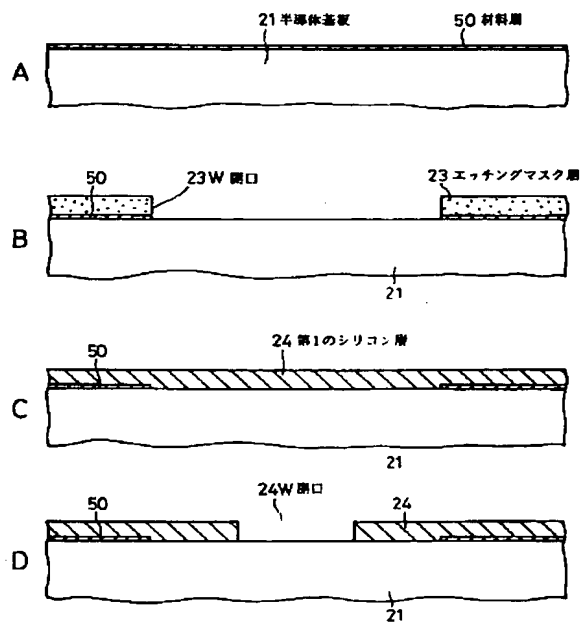
工程図(その4)

【図5】



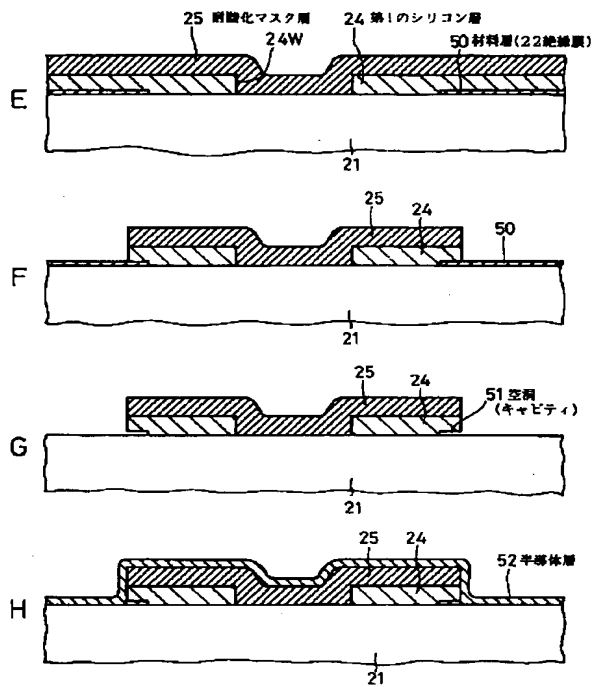
工程図(その5)

【図6】



工程図(その1)

【図7】



工程図(その2)

【図8】

